

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-074748

(43)Date of publication of application : 18.03.1997

(51)Int.Cl.

H02M 3/28

(21)Application number : 07-226192

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 04.09.1995

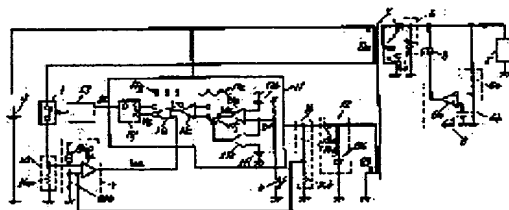
(72)Inventor : HASHIMOTO FUMIAKI
MORI YOSHIHIRO

(54) SWITCHING POWER SUPPLY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To supply a switching power supply device with constant-current output characteristics for reducing cost and size by eliminating the need for a secondary output current error detection circuit and making equal output constant-current characteristics and eddy current protection characteristics.

SOLUTION: A switching element 1 and a current detection circuit 10 for converting current flowing through the switching element 1 and for outputting it are connected in series via a primary winding 2a of a transformer 2. Further, the output of the current detection circuit 10 is connected to the first input terminal of a comparator 9a and a serially-connected circuit of a diode and a capacitor is connected in parallel between the output of an output voltage monitoring circuit 14 for converting a voltage obtained by rectifying and smoothing a second primary winding 2b of the transformer 2 where a voltage proportional to the secondary winding voltage 2c of the transformer 2 is generated and the primary winding 2b of the transformer 2 at the second input terminal of the above comparator 9a.



LEGAL STATUS

[Date of request for examination] 27.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3500791

[Date of registration] 12.12.2003

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-74748

(43) 公開日 平成9年(1997)3月18日

(51) IntCl.⁶
H02M 3/28

識別記号 庁内整理番号

FI
H02M 3/28

技術表示箇所
H N16, EI-2, F1
C N16, EI-2, F1

審査請求 未請求 請求項の数3 OL (全8頁)

(21) 出願番号 特願平7-226192

(22) 出願日 平成7年(1995)9月4日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 橋本 文明

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 森 吉弘

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

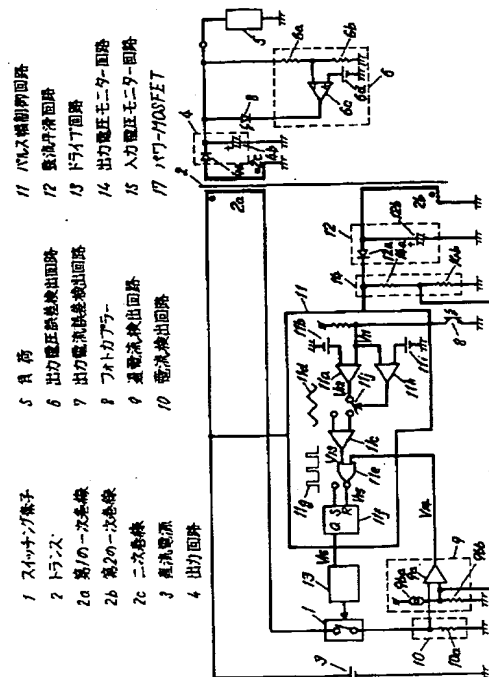
(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 スイッチング電源装置

(57) 【要約】

【目的】 2次出力電流誤差検出回路が不要であり、出力定電流特性と過電流保護特性を同一特性にすることにより低コスト、小型化可能な定電流出力特性を具備するスイッチング電源装置を提供することを目的とする。

【構成】 トランス2の第1の一次巻線2aを介してスイッチング素子1とスイッチング素子1を流れる電流を電圧信号に変換して出力する電流検出回路10を直列に接続し、電流検出回路10の出力を比較器9aの第1の入力端子に接続し前比較器9aの第2の入力端子にはトランス2の二次巻線電圧2cに比例した電圧が発生するトランス2の第2の一次巻線2bを整流平滑して得られる電圧を電流信号に変換する出力電圧モニター回路14の出力とトランス2の第2の一次巻線2b間にダイオードとコンデンサの直列接続回路を並列接続した構成からなる。



【特許請求の範囲】

【請求項 1】 トランスの第 1 の一次巻線を介してスイッチング素子と前記スイッチング素子を流れる電流を電圧信号に変換して出力する電流検出回路を直列に接続し、前記電流検出回路の出力を比較器の第 1 の入力端子に接続し前記比較器の第 2 の入力端子には前記トランスの二次巻線電圧に比例した電圧が発生する前記トランスの第 2 の一次巻線電圧を整流平滑して得られる電圧を電流信号に変換する手段の出力を接続し、前記比較器の出力は前記スイッチング素子のオン・オフを制御するパルス幅制御回路に接続されたスイッチング電源装置。

【請求項 2】 トランスの第 2 の一次巻線間にダイオードとコンデンサの直列接続回路を並列接続した構成からなる前記トランスの第 1 の一次巻線に与えられる直流入力電圧に比例した電圧を電流信号に変換する手段の出力が比較器の第 2 の入力端子に接続された請求項 1 記載のスイッチング電源装置。

【請求項 3】 スwitching素子を MOSFET とし前記 MOSFET の単位セルの一部分を第 2 のソース電極とし前記第 2 のソース電極と電流検出回路を直列に接続した請求項 1 または請求項 2 記載のスイッチング電源装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は出力に定電圧特性と定電流特性とを有するスイッチング電源装置に関するものである。

【0002】

【従来の技術】 近年、パソコンやビデオカメラ等のバッテリーを電源とする機器は低価格化とともに小型・軽量化が進みどこへでも持ち運びが可能となり普及している。これに伴いバッテリーを充電する出力特性すなわち定電圧出力特性と機器に電力を供給する出力特性すなわち定電流出力特性を備えたスイッチング電源装置に対しても低コスト化、小型・軽量化が求められている。

【0003】 以下図面を参照しながら従来のスイッチング電源装置の一例について説明する。

【0004】 図 5 は、従来のスイッチング電源装置の回路構成図である。図 5 において、1 はバイポーラトランジスタあるいは電界効果トランジスタ等により構成されるスイッチング素子であり、2 は電力変換用のトランスであり 2 a は第 1 の一次巻線、2 b は第 2 の一次巻線、2 c は二次巻線であり、3 は商用交流電源を整流平滑するなどして得られる直流電源であり、4 は 2 次整流ダイオード 4 a、2 次平滑コンデンサ 4 b からなる出力回路であり、5 は負荷であり、直流電源 3 からトランス 2 の第 1 の一次巻線 2 a を介して与えられる直流電力をスイッチング素子 1 によりスイッチングしそのスイッチング出力をトランス 2 の第 1 の一次巻線 2 a から二次巻線 2 c に取出し二次巻線 2 c に接続された出力回路 4 によ

て整流平滑し、直流電力として負荷 5 に供給する。

【0005】 6 は出力電圧誤差検出回路であり、負荷 5 に供給される出力電圧 V_o を抵抗 6 a、6 b によって分圧し誤差増幅器 6 c の第 1 の入力端子に入力し、第 2 の入力端子に入力される基準電圧源 6 d との誤差分を増幅しダイオード 6 e、フォトカプラー 8 を介してパルス幅制御回路 11 に出力する。

【0006】 7 は出力電流誤差検出回路であり、負荷 5 に供給される出力電流 I_o を抵抗 7 a により電圧信号に変換し誤差増幅器 7 b の第 1 の入力端子に入力し、第 2 の入力端子に入力される基準電圧源 7 c との誤差分を増幅しダイオード 7 d、フォトカプラー 8 を介してパルス幅制御回路 11 に出力する。

【0007】 9 は過電流検出回路であり、スイッチング素子 1 に流れる電流を抵抗 10 a により電圧信号に変換する電流検出回路 10 の出力を比較器 9 a の第 1 の入力端子に入力し、第 2 の入力端子に入力される基準電圧源 9 b と比較しその出力をパルス幅制御回路 11 に出力する。

【0008】 パルス幅出力回路 11 は、直流電源 3 または前記パルス幅制御回路 11 が動作を開始すると前記トランス 2 の第 2 の一次巻線 2 b の電圧をダイオード 12 a、コンデンサ 12 b からなる整流平滑回路 12 の出力を電源電圧とし、

(1) 出力電流値 $I_o < \text{出力定電流値 } I_{oconst}$ では、 $I_o \times R(7a) < VREF(7c)$

のため出力電流誤差検出回路 7 は動作しておらず、出力電圧誤差検出回路 6 のフォトカプラー 8 を介しての出力信号によりスイッチング素子 1 のオン・オフ時間を決定しその出力でドライブ回路 13 を介してスイッチング素子 1 をスイッチングさせ出力電圧 V_o が一定となるすなわち定電圧出力特性となるようにスイッチング素子 1 のオン・オフ時間を制御する。

【0009】 但し、 $R(7a)$ は出力電流誤差検出回路 7 内の出力電流 I_o 検出用の抵抗 7 a の抵抗値、 $VREF(7c)$ は出力電流誤差検出 7 内の誤差増幅器 7 b の第 2 の入力端子に接続される基準電圧源 7 c の電圧値である。

【0010】 図 6 は図 5 のスイッチング電源装置の出力特性である出力電流－出力電圧特性（以下 $I-V$ 特性）を示し、この時は図中太線部 A の特性となる。

【0011】 (2) 次に、出力電流値 $I_o = \text{出力定電流値 } I_{oconst}$ では、 $I_o \times R(7a) = VREF(7c)$

となり出力電流誤差検出回路 7 が動作を始めるため出力電圧 V_o が低下し出力電圧誤差検出回路 6 の動作が停止し、出力電流誤差検出回路 7 のフォトカプラー 8 を介しての出力信号によりスイッチング素子 1 のオン・オフ時間を決定しその出力でドライブ回路 13 を介してスイッチング素子 1 をスイッチングさせ出力電流値 $I_o = \text{出力定電流値 } I_{oconst}$ となるようにスイッチング素子 1 のオ

ン・オフ時間を制御する。

【0012】図6のI-V特性においては細線部Bの特性となる。

(3)又、スイッチング電源装置の異常時(例えば、図6においてトランス2の2次巻線2cの短絡又は出力電流誤差検出回路7の故障等)のスイッチング電源装置の保護及び負荷5に対する過電流保護はスイッチング素子1に直列に接続された前記スイッチング素子1を流れる電流を電圧信号に変換して出力する電流検出回路10の出力V10が、

$$V10 = R(10a) \cdot I(1)_{limit} \\ = V9REF$$

となると過電流検出回路9が動作し、過電流検出回路9の出力によりスイッチング素子1のオフを決定しドライブ回路13を介してスイッチング素子1をオフする。

【0013】但し、R(10a)は電流検出回路10内の抵抗10の抵抗値、I(1)limitは過電流検出回路9が動作する時のスイッチング素子1を流れる電流値、V9REFは過電流検出回路の比較器9aの第2の入力端子に接続される基準電圧源9bの電圧値である。

【0014】しかしながら、出力電力の最大時に必要なスイッチング素子1を流れる電流値をI(1)maxとすると、

$$I(1)_{limit} > I(1)_{max}$$

であるため、図6においては点線部Cが出力過電流保護電流値Iolimit特性となる。

【0015】

【発明が解決しようとする課題】前述のようにスイッチング電源装置の出力特性に定電圧特性と定電流特性を有するためには、

(1)出力電圧誤差検出回路6と出力電流誤差検出回路7とが必要であり誤差増幅器、基準電圧の比較的高価な部品が数多く必要となりそれに伴い誤差増幅器への入力手段を構成する部品数が多くなる。

(2)出力電流誤差検出回路7内に負荷5に供給される電流を検出するための手段として抵抗7aが必要であり、このため抵抗7aによる損失が大きく損失の低減はかれない。

(3)さらに、スイッチング電源装置の過電流保護としてはスイッチング素子1を流れる電流が必ず、

$$I(1)_{limit} > I(1)_{max}$$

となり図6のI-V特性の点線部Cの特性となるため、スイッチング素子1、2次整流ダイオード4a、トランス2等は出力過電流保護電流値Iolimitで設計しなければならず必要以上に大きな定格のものを使用することになる。

(4)熱設計に対しても前述の出力過電流保護電流値Iolimitで設計する必要があることからスイッチング電源装置として低コスト化、小型化が困難であるといった課題があった。

【0016】本発明は上記課題を解決するためのもので、出力電流誤差検出回路をなくし、出力電流値Io<出力過電流保護電流値Iolimitでは出力電圧誤差検出回路とパルス幅制御回路を用いて定電圧出力特性となるようにスイッチング素子のオン・オフを制御し、出力電流Io=出力過電流保護電流値Iolimitではトランスの二次巻線に比例する前記トランスの第2の一次巻線の電圧と過電流検出回路及びパルス幅制御回路を用いて、出力電流値Io=出力定電流値Iconst=出力過電流保護電流値Iolimit

となる定電流出力特性になるようにスイッチング素子1のオン・オフを制御することにより、部品数の削減、損失の低減、使用部品定格の最適化、熱設計の最適化が行え、定電圧出力特性と定電流出力特性を有するスイッチング電源装置の低コスト化、小型化が可能となる。

【0017】

【課題を解決するための手段】この目的を達成するために本発明は、トランスの第1の一次巻線を介してスイッチング素子と前記スイッチング素子を流れる電流を電圧信号に変換して出力する電流検出回路を直列に接続し、前記電流検出回路の出力を比較器の第1の入力端子に接続し前記比較器の第2の入力端子にはトランスの二次巻線電圧に比例した電圧が発生する前記トランスの第2の一次巻線を整流平滑して得られる電圧を電流信号に変換する手段の出力が接続し、前記比較器の出力は前記スイッチング素子のオン・オフを制御するパルス幅制御回路に接続された構成とする。

【0018】また、トランスの第1の一次巻線を介してスイッチング素子と前記スイッチング素子を流れる電流を電圧信号に変換して出力する電流検出回路を直列に接続し、前記電流検出回路の出力を比較器の第1の入力端子に接続し前記比較器の第2の入力端子にはトランスの二次巻線電圧に比例した電圧が発生する前記トランスの第2の一次巻線を整流平滑して得られる電圧を電流信号に変換する手段の出力と前記トランスの第2の一次巻線間にダイオードとコンデンサの直列接続回路を並列接続した構成からなる前記トランスの第1の一次巻線に与えられる直流入力電圧に比例した電圧を電流信号に変換する手段の出力を接続し、前記比較器の出力は前記スイッチング素子のオン・オフを制御するパルス幅制御回路に接続された構成とする。

【0019】さらに上記構成において前記スイッチング素子をMOSFETとし前記MOSFETは大多数の単位セルが接続された第1のソース電極と単位セルの一部が接続された第2のソース電極とを有し、前記第2のソース電極を電流検出回路に直列接続した構成とするものである。

【0020】

【作用】この構成によって、出力電流誤差検出回路が不要となり部品数の削減が可能であり、負荷へ供給する電

流を検出する出力電流検出抵抗が不要となるため損失の低減が図れるとともに、出力特性においては従来と同じ定電圧特性を有し定電流特性では、
出力電流 I_o = 出力定電流値 I_{oconst} = 出力過電流保護電流値 I_{olimit}
とすることができ使用部品及び熱設計の最適化が行える。

【0021】また、出力電流誤差検出回路をなくしてもトランスの第1の一次巻線に与えられる直流入力電圧に係らず出力の定電流特性においては
出力電流 I_o = 出力定電流値 I_{oconst} = 出力過電流保護電流値 I_{olimit}
とすることができる。

【0022】さらには、スイッチング素子を流れる電流を検出する電流検出回路内の抵抗の損失の低減が図れるとともにスイッチング素子と同一半導体基板上に数多くの回路が集積化できスイッチング電源装置の一次側部品数の削減ができるといったことからスイッチング電源装置として低コスト化、小型化を図ることができる。

【0023】

【実施例】以下に本発明の一実施例を図1、図2を参考しながら説明する。

【0024】図1は本発明のスイッチング電源装置の回路構成図である。図1において図5と同じものについては同一の符号を記す。図1において1はバイポーラトランジスタあるいは電界効果トランジスタ等により構成されるスイッチング素子であり、2は電力変換用のトランスであり、2aは第1の一次巻線、2bは第2の一次巻線、2cは二次巻線であり、3は商用交流電源を整流平滑するなどして得られる直流電源であり、4は2次整流ダイオード4aと整流平滑コンデンサ4bからなる出力回路であり、5は負荷であり、直流電源3からトランス2の第1の一次巻線2aを介して与えられる直流電力をスイッチング素子1によりスイッチングしそのスイッチング出力をトランス2の第1の一次巻線2aから二次巻線2cに取出し二次巻線2cに接続された出力回路4によって整流平滑し、直流電力として負荷5に供給する。

【0025】6は出力電圧誤差検出回路であり、負荷5に供給される出力電圧 V_o を抵抗6a、6bによって分圧し誤差増幅器6cの第1の入力端子に入力し、誤差増幅器6cの第2の入力端子に入力される基準電圧源6dとの誤差分を増幅しフォトカブラー8を介してパルス幅制御回路11に出力する。

【0026】9は過電流検出回路であり、スイッチング素子1に流れる電流を抵抗10aにより電圧信号に変換

$$V_{10} = I(1) \cdot R(10a)$$

$$= \{R(14a) \cdot (1/R(9bb) + 1/R(14a) + 1/R(14b))\} \cdot \{NB/NP \cdot V_o + I_{cc} \cdot R(14a)\} \\ = V_{9REF} \cdots \cdots (1)$$

となると、過電流検出回路9が動作し出力信号V14をNOR回路11eに出力しNOR回路11eは論理演算し

する電流検出回路10の出力を比較器9aの第1の入力端子に入力し、比較器9aの第2の入力端子には定電流源9baと抵抗9bbからなる基準電圧源9bと前記トランス2の二次巻線2cに比例する前記トランス2の第2の一次巻線2bの電圧をダイオード12a、コンデンサ12bからなる整流平滑回路12で整流平滑し、整流平滑回路12に並列に接続された抵抗14a、抵抗14bからなる整流平滑回路12の電圧を電流信号に変換する出力電圧モニター回路14の出力とが入力され、比較器9aは第1及び第2の入力端子に入力された信号を比較しその出力を出力信号V14としてパルス幅制御回路11に出力する。

【0027】パルス幅出力回路11は、直流電源3または前記パルス幅制御回路11が動作を開始すると前記トランス2の二次巻線2cに比例するトランス2の第2の一次巻線2bの電圧をダイオード12a、コンデンサ12bからなる整流平滑回路12の出力を電源電圧とし、
(1) 出力電流値 $I_o < \text{出力定電流値 } I_{oconst} = \text{出力過電流保護電流値 } I_{olimit}$

では電圧誤差検出回路6によるフォトカブラー8を介しての出力により誤差増幅器11aの入力信号V11を変化させ誤差増幅器11aは基準電圧11bと入力信号V11を比較し増幅してPWMコンパレータ11cに出力信号V12を出力しPWMコンパレータ11cは誤差増幅器11aの出力信号V12と三角波11dを比較し出力信号V13をNOR回路11eに出力し、NOR回路11eは過電流検出回路9の出力信号V14とPWMコンパレータ11cの出力信号V13とを論理演算し出力信号V15をR-Sフリップフロップ11fのR端子に出力しR-Sフリップフロップ11fはS端子に接続されるクロックパルス11gとNOR回路11eの出力信号V15により決定される出力信号V16をドライブ回路13を介してスイッチング素子1に出力することにより出力電圧 V_o が一定となるようにスイッチング素子のオン・オフ時間を制御する。

【0028】図2は図1のスイッチング電源装置の出力のI-V特性を示したものであり、この時のI-V特性は図2中の太線部Aの特性となり定電圧特性となる。

(2) 次に、負荷5のインピーダンスが低下し出力電流値 I_o が大きくなり、
出力電流値 $I_o = \text{出力定電流値 } I_{oconst} = \text{出力過電流保護電流値 } I_{olimit}$
となるとスイッチング素子1を流れる電流 $I(1)$ が大きくなり、

出力信号V15をR-Sフリップフロップ11fのR端子に出力しR-Sフリップフロップ11fはS端子に接続

されるクロックパルス 11g と NOR 回路 11e の出力信号 V15 により決定される出力信号 V16 をドライブ回路 13 を介してスイッチング素子 1 に出力するため出力電圧 Vo が低下し、これにより出力誤差検出回路 6 によるフォトカプラー 8 を介しての信号がなくなりフォトカプラー 8 電圧 V11 が基準電圧 11i より高くなるため比較器 11 がスイッチ 11j をオフとし PWM コンパレータの出力 V13 はロウレベルとなるため NOR 回路 11e の出力 V15 は過電流検出回路 9 の出力信号 V14 で決されることになる。

【0029】但し、V9REF は過電流検出回路 9 内の比較器 9a の第 2 の入力端子に入力される電圧値であり、上記式 (1) において、R(10a) は、電流検出回路 10 内の抵抗 10a の抵抗値であり、R(14a)、R(14b) は、それぞれ出力電圧モニター回路 14 内の抵抗 14a、14b の抵抗値であり、R(9bb) は、過電流検出回路 9 内の抵抗 9bb の抵抗値であり、Icc は、過電流検出回路 9 内の定電流源 9ba の定電流値であり、NP は、トランス 2 の第 1 の一次巻線 2a の巻線数であり、NB は、トランス 2 の第 2 の一次巻線 2b の巻線数である。

【0030】この時の出力電流 Io は、

$$I_o = k \cdot L_p \cdot \frac{I(1)^2}{V_o \cdot f} \quad / V_o \cdot f$$

$$= k \cdot L_p \cdot \{V9REF / R(10a)\}^2 / V_o \cdot f \dots (2)$$

$$= I_{oconst}$$
 となる。

【0031】但し、k は比例定数であり、Lp はトランス 2 の第 1 の一次巻線のインダクタンス値であり、f はスイッチング素子 1 の発振周波数である。

【0032】図 2 の I-V 特性においては B 点となる。さらに、負荷 5 のインピーダンスが小さくなり出力電圧 Vo が低下しても

出力電流値 Io = 出力定電流値 Ioconst = 出力過電流保護電流値 Iolimit

となるように式 (1) より設定された過電流検出回路 9 内の比較器 9a の第 2 の入力端子に入力される電圧値 V9EF が出力電圧 Vo により低くなることで

出力電流値 Io = 出力定電流値 Ioconst = 出力過電流保護電流値 Iolimit

となる。

【0033】又、前述の式 (1) によりスイッチング素子 1 を流れる電流 I (1) も小さくなる。出力電流 Io は前述の式 (2) となる。

【0034】図 2 のスイッチング電源装置の出力の I-V 特性においては B 点から C 点へとなる。

【0035】さらに負荷 5 のインピーダンスが小さくなり出力電圧 Vo が低下すると

出力電流値 Io = 出力定電流値 Ioconst = 出力過電流保護電流値 Iolimit

となるように式 (1) より設定された過電流検出回路 9 内の比較器 9a の第 2 の入力端子に入力される電圧値 V9

EF が低くなることで

出力電流値 Io = 出力定電流値 Ioconst = 出力過電流保護電流値 Iolimit

となる。

【0036】又、スイッチング素子 1 を流れる電流 I (1) はさらに小さくなる。出力電流 Io は前述の式 (2) となる。

【0037】図 2 のスイッチング電源装置の出力の I-V 特性は C 点から D 点へとなり、過電流検出回路 9 が動作を開始すると図 2 の I-V 特性においては点線部の特性、すなわち出力定電流特性を得ることができる。図 2 の点線部の出力定電流特性部はパルス幅制御回路 11 に入力される過電流検出回路 9 の出力によりスイッチング素子 1 のオン・オフが制御されているため、

出力電流値 Io = 出力定電流値 Ioconst = 出力過電流保護電流値 Iolimit

となる。

【0038】図 3 に本発明の他の実施例を示す。図 3 は他の本発明のスイッチング電源装置の回路構成図であ

る。図 3 において第 1 と同じものについては同一の符号を記す。15 はダイオード 15a とコンデンサ 15b の直列回路からなる直流電源 3 の電圧値 E を検出する入力電圧モニター回路であり、前記トランス 2 の第 2 の一次巻線 2b に並列接続され、出力は抵抗 16 を介して過電流検出回路 9 内の比較器 9a の第 2 の入力端子に接続されている。図 3 のスイッチング電源装置の動作は図 1 に示すスイッチング電源装置の動作と同じため説明は省略する。

【0039】但し、過電流検出回路 9 が動作し出力信号 V14 を NOR 回路 11e に出力する時の電流検出回路の出力 V10 と過電流検出回路 9 内の比較器 9a の第 2 の入力端子の電圧 V9REF は、

$$V10 = I(1) \cdot R(10a)$$

$$= \{R(14a) \cdot (1/R(9bb) + 1/R(14a) + 1/R(14b) + I/R(16))\} \cdot \{NB/NP \cdot V_o + R(14a)/R(16) \cdot VBB + Icc \cdot R(14a)\}$$

$$= V9REF \dots (3)$$

となる。

【0040】但し、VBB は、入力電圧モニター回路 15 の出力電圧 V で、VBB = -NB/NP · E であり、NB は、トランス 2 の第 2 の一次巻線 2b の巻線数であり

NP は、トランス 2 の第 1 の一次巻線 2a の巻線数であり E は、直流電源 3 の電圧値であり、R(16) は、抵抗 16 の抵抗値である。

【0041】出力電流 Io、出力特性は図 1 の実施例と同じくそれぞれ式 (2)、図 2 となり、

出力電流値 Io = 出力定電流値 Ioconst = 出力過電流保護電流値 Iolimit

とすることができる。

【0042】図 4 に本発明のさらに他の実施例を示す。図 4 は他の本発明のスイッチング電源装置の回路構成図

である。図4において図1と同じものについては同一の符合を記す。図4は図1のスイッチング素子1としてパワーMOSFET17を用いた場合であり、パワーMOSFET17は大多数の単位セルからなる第1のソース電極S1と少数の単位セルからなる第2のソース電極S2を有し第2のソース電極S2が電流検出回路10に接続された構成である以外は図1と同じ構成であり、図1

$$\begin{aligned} V_{10} &= I(S2) \cdot R(10a) \\ &= n2/n1 \cdot I(S1) \cdot R(10a) \\ &= n2/n1 \cdot I(1) \cdot R(10a) \\ &= \{R(14a) \cdot (1/R(9bb) + 1/R(14a) + 1/R(14b))\} \cdot \{NB/NP \cdot V_o + I_{cc} \cdot R(14a)\} \\ &= V_{9REF} \quad \dots\dots (4) \end{aligned}$$

となる。

【0044】但し、n1は、パワーMOSFET17の第1のソース電極S1に接続されるパワーMOSFETの単位セル数であり、n2は、パワーMOSFET17の第2のソース電極S2に接続されるパワーMOSFETの単位セル数であり、I(S1)は、パワーMOSFET17の第1のソース電極S1を流れる電流値であり、I(S2)は、パワーMOSFET17の第2のソース電極S2を流れる電流値であり、
 $I(S2) = n2/n1 \cdot I(S1)$

となる。

【0045】n2/n1は通常約1~0.1%に設定されるため第1のスイッチング素子1を流れる電流I(1)とパワーMOSFET17の第1のソース電極S1を流れる電流I(S1)はほぼ等しい。

【0046】出力電流Io、出力特性は図1の実施例と同じくそれぞれ式(2)、図2となり、出力電流値Io=出力定電流値Iconst=出力過電流保護電流値Iolimitとすることができる。

【0047】さらに、式(4)から明らかなようにR(10a)をn1/n2倍又は、抵抗R(14a)、R(9b)、R(14b)をn1/n2倍に設定すれば図1の実施例の式(1)と同じことになるが図1の実施例に比べ、

・スイッチング素子1に流れる電流I(1)のn2/n1倍の極小さい電流で過電流検出回路9を動作させることができるため電流検出回路10内の抵抗10の損失の低減を図ることができスイッチング電源装置として小型化できる。

【0048】・パワーMOSFET17、電流検出回路10、過電流検出回路9、パルス幅制御回路11、出力電圧モニター回路14を同一半導体基板上に集積化できる。以上の点から図1の実施例よりもさらに小型化、低コスト化を行うことができる。

【0049】又、図3の実施例においても図4の実施例のようにスイッチング素子1をパワーMOSFETの大多数の単位セルからなる第1のソース電極S1と少数の単位セルからなる第2のソース電極S2を有するパワー

に示すスイッチング電源装置と動作は同じため説明は省略する。

【0043】但し、過電流検出回路9が動作し出力信号V14をNOR回路11eに出力する時の電流検出回路の出力V10と過電流検出回路9内の比較器9aの第2の入力端子の電圧V9REFは、

MOSFETとしても動作、出力電流Io及び出力特性は同じであり、入力電圧モニター回路15、抵抗16をも同一半導体基板上に集積化でき図4の実施例よりもさらに小型化、低コスト化を行うことができる。

【0050】

【発明の効果】以上述べたように本発明は、

(1)トランスの第1の一次巻線を介してスイッチング素子と前記スイッチング素子を流れる電流を電圧信号に変換して出力する電流検出回路を直列に接続し、前記電流検出回路の出力を比較器の第1の入力端子に接続し前記比較器の第2の入力端子にはトランスの二次巻線電圧に比例した電圧が発生する前記トランスの第2の一次巻線を整流平滑して得られる電圧を電流信号に変換する手段の出力が接続され、前記比較器の出力は前記スイッチング素子のオン・オフを制御するパルス幅制御回路に接続された構成とする。

【0051】(2)トランスの第1の一次巻線を介してスイッチング素子と前記スイッチング素子を流れる電流を電圧信号に変換して出力する電流検出回路を直列に接続し、前記電流検出回路の出力を比較器の第1の入力端子に接続し前記比較器の第2の入力端子にはトランスの二次巻線電圧に比例した電圧が発生する前記トランスの第2の一次巻線を整流平滑して得られる電圧を電流信号に変換する手段の出力と前記トランスの第2の一次巻線間にダイオードとコンデンサの直列接続回路を並列接続した構成からなる前記トランスの第1の一次巻線に与えられる直流入力電圧に比例した電圧を電流信号に変換する手段の出力を接続し、前記比較器の出力は前記スイッチング素子のオン・オフを制御するパルス幅制御回路に接続された構成とする。

【0052】(3)上記(1)、(2)の構成において前記スイッチング素子をMOSFETとし前記MOSFETは大多数の単位セルが接続された第1のソース電極と単位セルの一部分が接続された第2のソース電極とを有し、前記第2のソース電極を上記(1)、(2)の電流検出回路に接続した構成とするものであるから、

(1)出力電流誤差検出回路7が不要となり部品数の削減が可能であり、負荷5へ供給する電流を検出する出力

電流検出抵抗 7 a が不要となるため損失の低減が図れるとともに、出力特性においては従来と同じ定電圧特性を有し定電流特性では、出力電流値 $I_o =$ 出力定電流値 $I_{o\text{const}} =$ 出力過電流保護値 $I_{o\text{limit}}$ とすることができ使用部品及び熱設計の最適化が行える。

【0053】(2) 出力電流誤差検出回路 7 をなくしてもトランスの第 1 の一次巻線に与えられる直流入力電圧に係らず出力の定電流特性においては出力電流 $I_o =$ 出力定電流値 $I_{o\text{const}} =$ 出力過電流保護電流値 $I_{o\text{limit}}$ とすることができる。

【0054】(3) さらには、スイッチング素子 1 を流れる電流を検出する電流検出回路 10 内の抵抗 10 a の損失の低減が図れるとともにスイッチング素子 1 と同一半導体基板上に数多くの回路が集積化できスイッチング電源装置の一次側部品数の削減ができる。といったことから低コスト化、小型化を図ることができる定電圧出力特性と定電流出力特性を有するスイッチング電源装置を提供することができる。

【図面の簡単な説明】

【図 1】本発明の一実施例を示すスイッチング電源装置の回路構成図

【図 2】本発明の一実施例におけるスイッチング電源装置の出力特性図

【図 3】他の本発明の一実施例を示すスイッチング電源装置の回路構成図

【図 4】他の本発明の一実施例を示すスイッチング電源装置の回路構成図

【図 5】従来のスイッチング電源装置の回路構成図

【図 6】従来のスイッチング電源装置の出力特性図

【符号の説明】

- 1 バイポーラトランジスタ或いは電界効果トランジスタにより構成されるスイッチング素子
- 2 トランス

2 a トランス 2 の第 1 の一次巻線

2 b トランス 2 の第 2 の一次巻線

2 c トランス 2 の二次巻線

3 直流電源

4 出力回路

4 a 2 次整流ダイオード

4 b 2 次平滑コンデンサ

5 負荷

6 出力電圧誤差検出回路

10 6 a、6 b、7 a、9 b b、10 a、14 a、14 b、

16 抵抗

6 c、7 b、11 a 誤差増幅器

6 d、7 c、9 b、11 b、11 i 基準電圧源

6 e、7 d、12 a、15 a ダイオード

7 出力電流誤差検出回路

8 フォトカプラー

9 過電流検出回路

9 a、11 h 比較器

9 b a 定電流源

20 10 電流検出回路

11 パルス幅制御回路

11 c PWM コンパレータ

11 d 三角波

11 e NOR 回路

11 f R-S フリップフロップ

11 g クロックパルス

11 j スイッチ

12 整流平滑回路

12 b、15 b コンデンサ

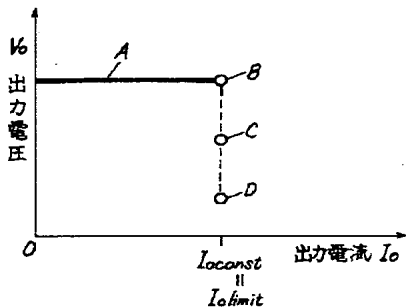
30 13 ドライブ回路

14 出力電圧モニター回路

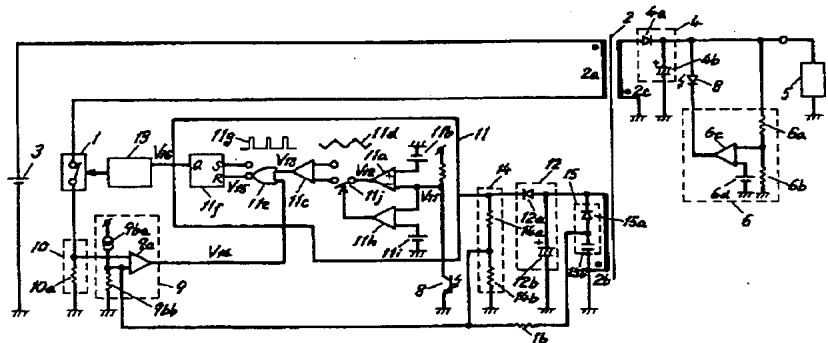
15 入力電圧モニター回路

17 パワー MOS FET

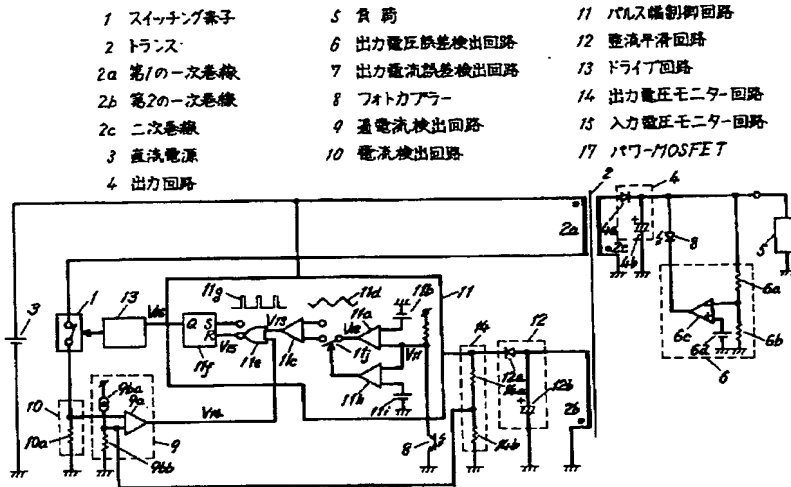
【図 2】



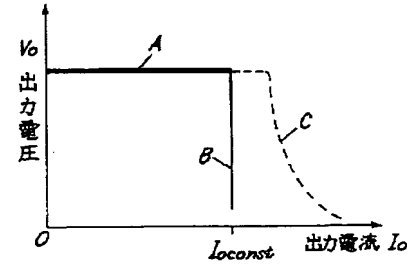
【図 3】



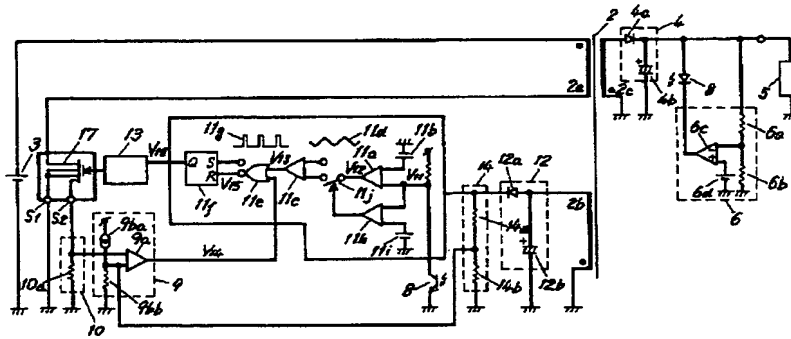
【図1】



【図6】



【図4】



【図5】

